

DIGITAL DELAY CIRCUIT

Patent number: JP4227314
Publication date: 1992-08-17
Inventor: PIITAA BII PAAKINSON
Applicant: SONY TEKTRONIX CORP
Classification:
- international: H03K5/13
- european: H03H11/26A; H03K5/13B; H03K17/60E; H03K17/62F2
Application number: JP19910110921 19910416
Priority number(s): US19900509273 19900416

Also published as:

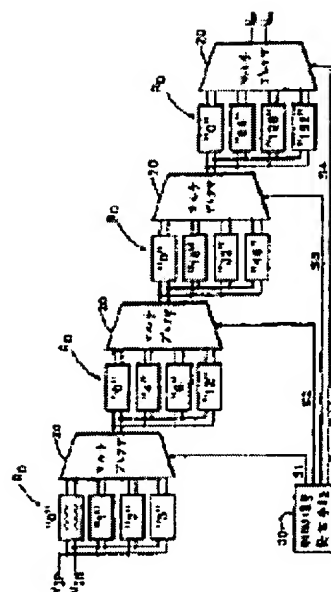


FR2661059 (A1)
DE4110340 (A1)

[Report a data error here](#)

Abstract of JP4227314

PURPOSE:To select a delay time optionally by employing a multiplexer comprising delay elements using a current switch which is able to control a delay time through the adjustment of an input resistor. **CONSTITUTION:**A multiplexer 20 is formed by forming current switches in a tree which is able to control a delay time through the adjustment of an input resistor R_d and the multiplexers 20 having a function of the delay elements are connected in cascade. In this case, a resistor R_d is used to vary the charging time between a base and an emitter to vary a base current, or the base current may be changed by other methods.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-227314

(43) 公開日 平成4年(1992)8月17日

(51) Int.Cl.⁵

H 0 3 K 5/13

識別記号

庁内整理番号

7125-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 4 頁)

(21) 出願番号 特願平3-110921

(22) 出願日 平成3年(1991)4月16日

(31) 優先権主張番号 5 0 9 2 7 3

(32) 優先日 1990年4月16日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000108409

ソニー・テクトロニクス株式会社

東京都品川区北品川5丁目9番31号

(72) 発明者 ピーター・ビー・パーキンソン

アメリカ合衆国オレゴン州97224 タイガ

ード サウス・ウエスト ボンド・ストリ

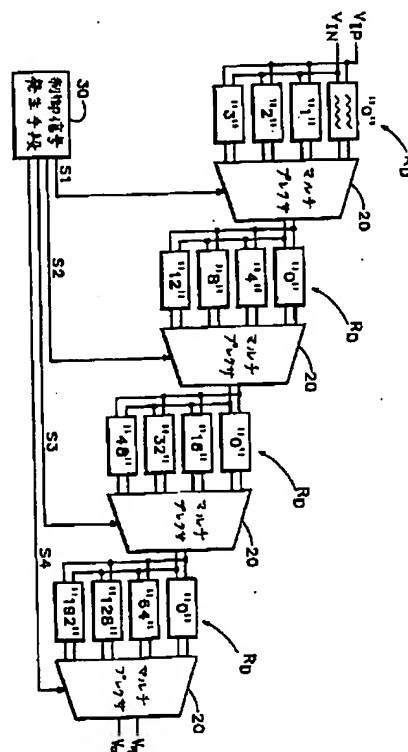
ート 8132

(54) 【発明の名称】 デジタル遅延回路

(57) 【要約】

【目的】 電力消費が少なく、小型化が可能で、最小遅延単位がより短い、遅延時間を任意に選択できるデジタル遅延回路を提供する。

【構成】 入力抵抗器 R_d を変えることで遅延時間を制御できる電流スイッチ 10 をツリー状に構成してマルチプレクサ 20 を作り、遅延素子の機能を合わせ持つこのマルチプレクサ 20 を縦続接続することにより、遅延時間を任意に選択できるデジタル遅延回路を構成する。



1

【特許請求の範囲】

【請求項1】差動入力信号を受け、該差動入力信号に応じた遅延差動出力信号を出力する電流スイッチと、該電流スイッチの入力端に接続され、上記差動入力信号による上記電流スイッチの静電容量の充電電流を制御する電流制御手段を具えることを特徴とするデジタル遅延回路用差動遅延素子。

【請求項2】複数の差動入力信号をそれぞれ受け、該差動入力信号に応じた遅延差動出力信号をそれぞれ出力する複数の電流スイッチと、該複数の電流スイッチの入力端にそれぞれ接続され、上記差動入力信号による上記電流スイッチの静電容量の充電電流をそれぞれ独立に制御する複数の電流制御手段と、駆動電流源と、制御信号に応じて、上記複数の電流スイッチの中のいずれか1つと上記駆動電流源との間に選択的に電流路を形成する選択手段と、を具えることを特徴とするデジタル遅延回路用マルチプレクサ。

【請求項3】複数の入力端を共通接続した請求項2記載のマルチプレクサを複数個縦続接続した直列回路と、該直列回路内の各マルチプレクサの選択手段にそれぞれ独立に制御信号を供給し、上記各マルチプレクサの信号伝搬経路を選択させる制御信号発生手段と、を具えることを特徴とするデジタル遅延回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデジタル遅延装置、特に遅延時間を任意に選択できる、デジタルゲートの機能を有するマルチプレクサから構成されるデジタル遅延回路に関する。

【0002】

【従来の技術】米国特許4646297号（特公平2-7530号の「スキュー検出器」に対応）の図7に示されているように、従来の遅延時間を任意に選択できるデジタル遅延回路は、複数の遅延素子を直列につなぎ、その各遅延素子の出力をマルチプレクサに inputs する。各遅延素子は一定の遅延時間を持ち、マルチプレクサでどの遅延素子の出力を選ぶかによって遅延時間量 $n \cdot dt$ が決まる。ここで n は、マルチプレクサが直列につながれた遅延素子のうちの n 番目の遅延素子を選んだことを示しており、 dt は各遅延素子の遅延時間を表している。

【0003】

【発明が解決しようとする課題】従来のデジタル遅延回路では、遅延時間の変換範囲を広くするには遅延素子を多数必要とし、さらに各遅延素子はそれぞれに電源が必要であるから比較的大容量の電源を必要とする。そこで本発明は、構成がより簡単で、消費電力が少なく、加えて可変範囲の遅延時間の最小単位をさらに短縮し、広範囲の遅延時間を任意に選択できるデジタル遅延回路を提供することを目的とする。

【0004】

2

【課題を解決するための手段】本発明によるデジタル遅延回路は、入力信号を受ける入力用電流スイッチと制御信号を受ける制御用電流スイッチとから成る複数の電流スイッチを、ツリー状に配置して構成されるマルチプレクサからなる。制御信号によって選択された入力用電流スイッチには電流源から電流が供給され、その電流スイッチの出力がマルチプレクサの出力となる。各入力用電流スイッチの入力には電流可変手段を具え、この電流可変手段で定まる電流値により電流スイッチのベース・エミッタ間の静電容量の充電時間が決まり、電流スイッチでの遅延時間も決まる。複数のマルチプレクサを縦続接続し、電流可変手段を適切に選ぶことにより遅延時間の変換範囲を広くすることができる。

【0005】

【実施例】図1に示す本発明の電流スイッチ10は、電流源14によって作動し、差動入力電圧 V_{ip} 及び V_{in} がそれぞれ1対の抵抗器 R_d を通して加えられている。電流スイッチ10の出力には負荷12が接続され、そこから差動出力電圧 V_{op} 及び V_{on} を得る。図2に示すように、入力電圧のトランジションがあると、電流スイッチ10の各トランジスタのオンとオフは入れ替わる。入力電圧のトランジションにあたり、電流スイッチ10の各トランジスタがオンからオフに、あるいは逆にオフからオンに切換わるにはある有限な時間が必要である。この切換え時間は各トランジスタのベースとエミッタ間の静電容量に関係している。それゆえ、入力の抵抗器 R_d の値を零と仮定しても、入力電圧のトランジションからそれにとまらぬ出力電圧のトランジションが現れるまでには、僅かな遅延時間 D_1 が残る。さらに入力に抵抗器を加えれば、ベース電流が減少するためにベース・エミッタ間の静電容量の充電時間が増え、遅延時間も増加する。よって、入力に抵抗器 R_d2 または R_d3 を加えれば、それに対応して遅延時間 D_2 または D_3 が電流スイッチ10において発生する。

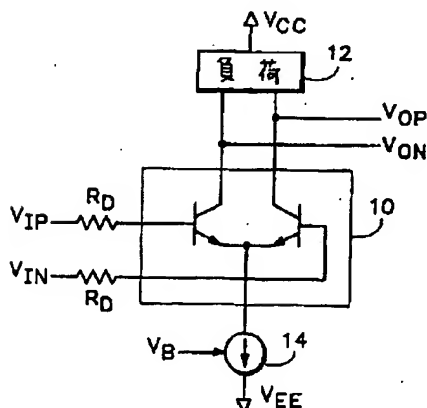
【0006】実施例では、ベース・エミッタ間の静電容量の充電時間を変化させるために、抵抗器を用いてベース電流を変化させているが、他の方法によりベース電流を変化させてももちろん良い。たとえば、エミッタに可変電流源を接続したエミッタホロワ型のトランジスタを抵抗器の代わりに用い、そのエミッタを電流スイッチ10のトランジスタのベースに接続してもよい。上記可変電流源からの電流が変化すれば、電流スイッチ10のトランジスタのベース電流が変化し、よってベース・エミッタ間の静電容量に充電する時間が変化するので遅延時間が変化する。

【0007】図3は本発明によるマルチプレクサ20を示しており、複数の電流スイッチ10がツリー状に構成されている。それぞれ1対の入力信号 V_{p1} 及び V_{n1} 、 V_{p2} 及び V_{n2} 、 V_{p3} 及び V_{n3} 並びに V_{p4} 及び V_{n4} は、 $R_1 < R_2 < R_3 < R_4$ の関係にある抵

抗値を持つ、それぞれ1対の抵抗器 R_1 、 R_2 、 R_3 及び R_4 を通して、入力電流スイッチ群22の4つの入力用電流スイッチ10にそれぞれ入力される。差動制御信号 S_{p1} 及び S_{n1} を制御用電流スイッチ群24の上側の2つの制御用電流スイッチ10に、 S_{p2} 及び S_{n2} を下側の一つの制御用電流スイッチ10にそれぞれ入力することにより、電流源14からの電流が4つの入力用電流スイッチの内のいずれを流れるかが決まる。これにより、入力信号の対 V_{p1} 及び V_{n1} 、 V_{p2} 及び V_{n2} 、 V_{p3} 及び V_{n3} 並びに V_{p4} 及び V_{n4} のうちの1対が選択され、出力電圧 V_{op} 及び V_{on} の遅延時間量は、選択された電流スイッチの入力抵抗器の値によって決まる。このように、上述の遅延回路を4つ組み合わせることにより、4入力のマルチプレクサが構成される。

【 0 0 0 8 】 図 4 は本発明によるデジタル遅延回路の実施例を示しており、遅延時間の可変範囲を広くするために、上述のマルチプレクサ 2 0 を縦続接続している。" 0 " は遅延時間最小の経路であることを意味し、この経路の抵抗器 R d の値は零である。" 1 " 、" 2 " 及び" 3 " で示される経路の数字は遅延時間の最小単位（最小遅延単位）を 1 としたときの係数である。たとえば、仮にこの最小遅延単位が 1 p 秒ならば、" 1 " は" 0 " に較べて 1 p 秒遅延する経路であり、" 2 " は同様に 2 p 秒遅延する経路であることを意味する。入力電圧 V i p 及び V i n はそれぞれ 1 対の入力抵抗器 R d からなる経路にそれぞれ平行に入力され、制御信号発生手段 3 0 から出力される第 1 のマルチプレクサへの制御信号 S 1 により、第 1 のマルチプレクサがどの遅延経路をとるかが決定される。第 1 のマルチプレクサの出力は同様に" 0 " 、" 4 " 、" 8 " 及び" 1 2 " で表される経路の抵抗器 R d に入力される。第 2 のマルチプレクサは、第 2 の制御信号 S 2 によりどの遅延経路をとるかが決定される。たとえば、制御信号にしたがい第 1 のマルチプレクサが" 3 " を選択し、第 2 のマルチプレクサが" 8 " を選択したとすれば、第 2 のマルチプレクサの出力は、"

【图 1】



0”の経路のみを通った場合に較べて最小遅延単位の11倍だけ遅延することになる。以降同様にして、マルチプレクサの出力を次のマルチプレクサに抵抗器対を介して接続するという縦続接続を、希望の遅延可変範囲を得るまで続けていけばよい。最後のマルチプレクサ20から、遅延された差動出力電圧 V_{op} 及び V_{on} が出力される。

【０００９】上記のように、本発明は入力抵抗器を変えることで遅延時間を制御できる電流スイッチを用いた遅延素子から構成されるマルチプレクサにより、遅延時間を任意に選択できるデジタル遅延回路を提供する。

【0 0 1 0】

【発明の効果】本発明は、従来のように各遅延素子に常に電流を流している必要がないため電力消費が減る。また従来は各遅延素子をデジタルゲートで構成していたために必要だった素子が大幅に減るため、集積回路の小型化ができる。さらに、従来のように遅延素子をデジタルゲートで構成するよりも伝搬遅延時間が短いので、最小遅延単位をより短くすることができ、遅延時間の可変分解能を格段に向上させることが可能である。

【図面の簡単な説明】

【図１】本発明による遅延素子の一実施例を示すブロック図。

【図2】 図1の遅延素子の動作の時間関係を示す図。

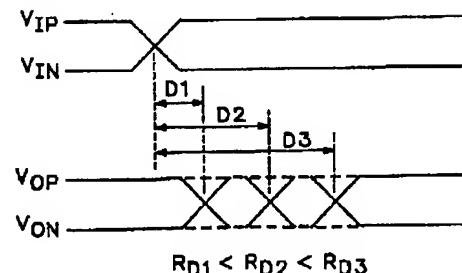
【図3】本発明によるマルチプレクサの構成を示すブロック図。

【図４】図３のマルチプレクサを用いた、本発明によるデジタル遅延回路のブロック図。

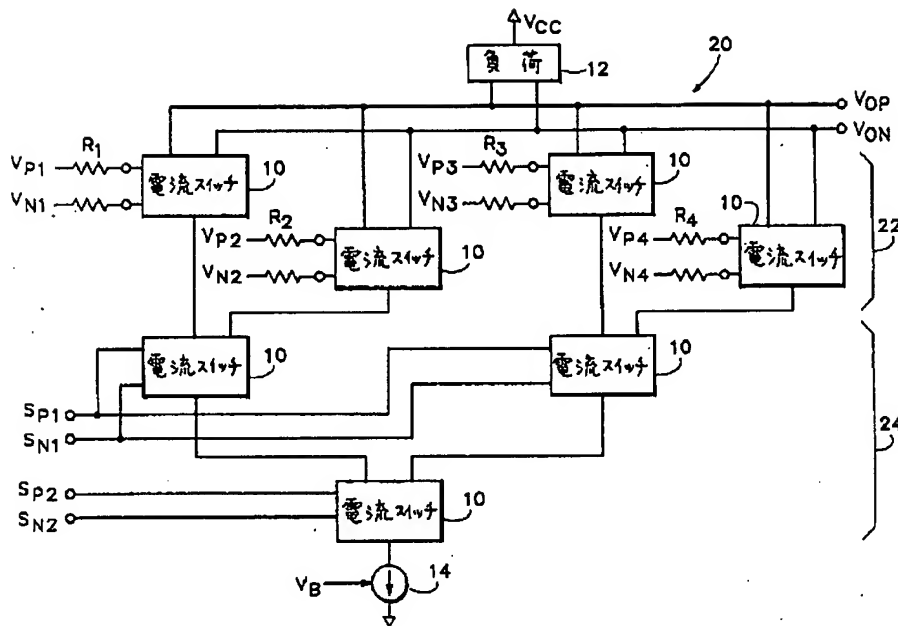
【符号の説明】

- 1 0 電流スイッチ
- 1 2 負荷
- 1 4 電流源
- 2 0 マルチプレクサ
- 2 2 入力用電流スイッチ群
- 2 4 制御用電流スイッチ群
- 3 0 制御信号発生手段

【図2】



【図3】



【図4】

